

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10290378
PUBLICATION DATE : 27-10-98

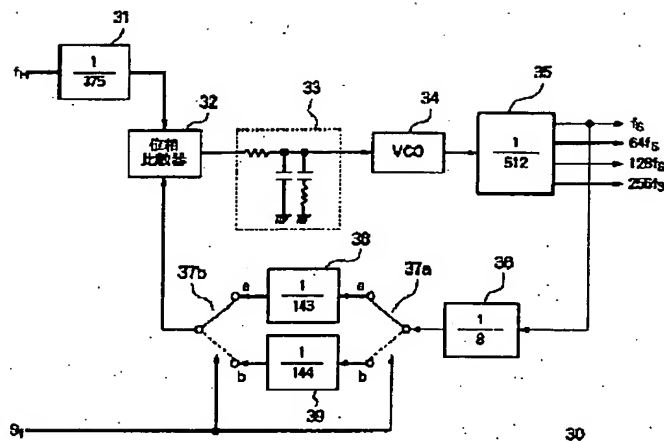
APPLICATION DATE : 16-04-97
APPLICATION NUMBER : 09099335

APPLICANT : SONY CORP;

INVENTOR : TSUCHIYA KEN;

INT.CL. : H04N 5/06 G09G 5/00 G09G 5/18
G11B 20/10

TITLE : CLOCK GENERATOR



ABSTRACT : PROBLEM TO BE SOLVED: To generate a digital audio clock synchronously with an input video signal with a simple configuration without the need of another signal input such as an analog reference signal.

SOLUTION: A horizontal synchronizing signal obtained from a video signal is frequency-divided by 1/375 at a 1st frequency divider 31, and converted into a frequency of 41.985 Hz in the case of the 525/60 system and of 41.667 Hz in the case of the 625/50 system. The frequency of this signal is the same frequency as the resulting frequency of an audio clock whose frequency is 48 kHz that is frequency-divided by 1/1144 or 1/1152 at a 3rd frequency divider 36 and a 4th frequency divider 38 or a 5th frequency divider 39 selected by a frequency divider changeover device 37 depending on a kind of a video signal. Thus, the signals are compared with a phase comparator 32, its phase error is given to a VCO 34 via an LPF 33 to control the oscillating frequency of the VCO 34.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-290378

(43)公開日 平成10年(1998)10月27日

(51)Int.Cl.⁸

識別記号

H 0 4 N 5/06

G 0 9 G 5/00

5/18

G 1 1 B 20/10

5 1 0

F I

H 0 4 N 5/06

G 0 9 G 5/00

5/18

G 1 1 B 20/10

Z

5 1 0 Q

D

審査請求 未請求 請求項の数 9 O L (全 8 頁)

(21)出願番号

特願平9-99335

(22)出願日

平成9年(1997)4月16日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 土屋 研

東京都品川区北品川6丁目7番35号 ソニー株式会社内

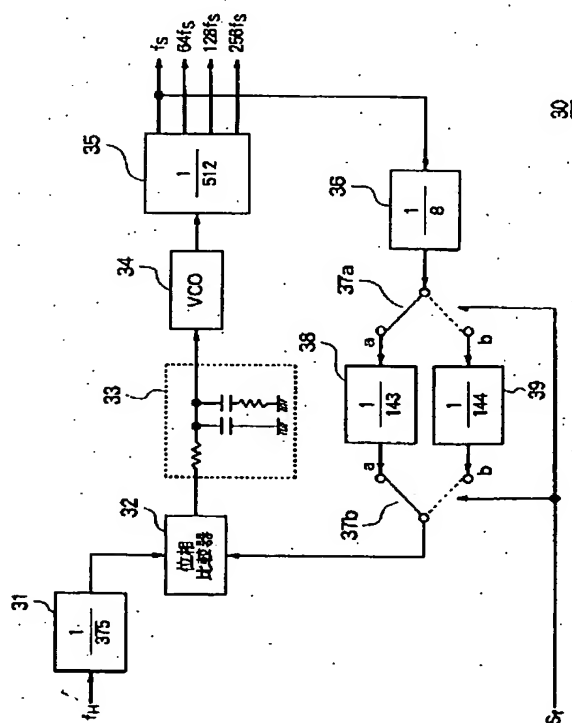
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 クロック発生装置

(57)【要約】

【課題】入力ビデオ信号に応じて、そのビデオ信号に同期したデジタルオーディオクロックを、アナログリファレンスなどの別の信号入力を必要とせずに、簡単な構成で生成したい。

【解決手段】映像信号から得られた水平同期信号が第1の分周器31で1/375に分周されて、525/60方式ならば41.958Hz、625/50方式ならば41.667Hzの信号に変換される。この信号は、48kHzのオーディオクロックを、第3の分周器36、および、映像信号の種類に応じて分周器切換器37で選択された第4の分周器38または第5の分周器39により1/1144または1/1152に分周した周波数と同じである。従って、これらの信号を位相比較器32で比較し、その位相誤差をLPF33を介してVCO34に入力し、VCO34の発振周波数を制御する。



【特許請求の範囲】

【請求項1】入力される映像信号に同期し、所望の周波数を有するクロックを発生するクロック発生装置であって、

前記映像信号の水平同期信号に基づいて、その水平周波数を所定の比率で分周して、前記映像信号の水平周波数に応じて決定される所定の基準周波数を有する第1の信号を生成する第1の分周器と、

制御信号に基づいて前記所望の周波数の信号を発生する発振回路と、

前記発振回路により発生された信号を、前記所望の周波数を当該映像信号の水平周波数に応じて決定された前記基準周波数に変換するような、映像信号の水平周波数に応じて決定される比率で分周して、第2の信号を生成する第2の分周器と、

前記第1の分周器で生成された第1の信号と、前記第2の分周器で生成された第2の信号との位相を比較してその誤差信号を生成し、前記制御信号として前記発振回路に印加する位相比較手段とを有するクロック発生装置。

【請求項2】前記第2の分周器は、

映像信号の種類に応じて設けられた、映像信号の水平周波数に応じて決定される前記比率で入力信号を分周する複数の分周器と、

入力された映像信号に応じて、前記複数の分周器の中の当該映像信号に応じた分周器を実質的に有効にするように選択する分周器選択手段とを有し、

前記発振回路により発生された信号を、前記選択された分周器で分周することにより前記第2の信号を生成する請求項1記載のクロック発生装置。

【請求項3】前記位相比較手段は、前記第1の信号と前記第2の信号との位相を比較してその誤差に応じた電圧を前記誤差信号として生成し、

前記生成された誤差信号の所定周波数以上の高域成分を削除して前記発振回路に対する前記制御信号を生成するローパスフィルター手段をさらに有し、

前記発振回路は、電圧制御発振器であって、前記制御信号の前記電圧の変化に基づいて発振周波数が調整され、前記所望の周波数の信号を発生する請求項1記載のクロック発生装置。

【請求項4】前記発振回路は、前記所望の周波数の所定数倍の周波数の信号を発生し、

前記発振回路により発生された信号を、複数の所定の比率で分周して、前記所望の周波数の前記所定数倍よりも小さく、前記所望の周波数の2のべき乗倍の周波数の信号を複数生成し出力する出力用分周手段をさらに有する請求項1記載のクロック発生装置。

【請求項5】入力された映像信号より、水平同期信号を抽出する水平同期信号抽出手段をさらに有し、

前記第1の分周器は、前記抽出された水平同期信号に基づいて、前記第1の信号を生成する請求項1記載のクロ

ック発生装置。

【請求項6】525/60方式の映像信号または625/50方式の映像信号が入力され、これに同期した48kHzオーディオクロックを生成するクロック発生装置であって、

前記第1の分周器は、入力された映像信号の水平同期信号に対して、その水平周波数を1/375に分周して第1の信号を生成し、

前記発振回路は、制御信号に基づいて48kHzの信号を発生し、

前記第2の分周器は、前記発振回路により発生された信号を、入力された映像信号が525/60方式の場合には1/1144に、入力された映像信号が625/50方式の場合には1/1152に、各々分周して第2の信号を生成し、

前記位相比較手段は、前記第1の分周器で生成された第1の信号と、前記第2の分周器で生成された第2の信号との位相を比較してその誤差信号を生成し、前記制御信号として前記発振回路に印加する請求項1記載のクロック発生装置。

【請求項7】前記第2の分周器は、

入力信号を1/1144に分周する第3の分周器と、入力信号を1/1152に分周する第4の分周器と、入力された映像信号が525/60方式の場合には前記第3の分周器を実質的に有効にし、入力された映像信号が625/50方式の場合には前記第4の分周器を実質的に有効にするように選択する分周器選択手段とを有する請求項6記載のクロック発生装置。

【請求項8】前記第2の分周器は、

入力信号を1/8に分周する第5の分周器と、前記第5の分周器で分周された信号をさらに1/143に分周する第6の分周器と、前記第5の分周器で分周された信号をさらに1/144に分周する第7の分周器と、

入力された映像信号が525/60方式の場合には前記第6の分周器を実質的に有効にし、入力された映像信号が625/50方式の場合には前記第7の分周器を実質的に有効にするように選択する分周器選択手段とを有する請求項6記載のクロック発生装置。

【請求項9】前記発振回路は、所望の48kHzのデジタルオーディオクロックの512倍の周波数の信号を発生し、

前記発振回路により発生された信号を、複数の所定の比率で分周して、前記48kHzのデジタルオーディオクロックの1倍～512倍の周波数であって、任意の周波数の信号を複数生成し出力する出力用分周手段をさらに有する請求項6記載のクロック発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル映像信号

に応じたデジタルオーディオクロックを発生するクロック発生装置に関し、特に、他のリファレンス信号を必要とせず簡単な回路構成により、複数種類の形式のデジタル映像信号に対しても、各々その信号に同期したデジタルオーディオクロックを発生することができるようなクロック発生装置に関する。

【0002】

【従来の技術】映像信号のデジタルインターフェイスとしては、SMPTE (Society of Motion Picture and Television Engineers) 125M、および、このシリアルインターフェイスとしてのSMPTE 259Mで規定されている方式が一般的である。この方式によれば、映像信号は通常10ビットのバラレルデータとして処理され、同軸ケーブルなどで伝送される際にはパラレル→シリアル変換されてシリアルデジタルビデオ信号(SDI信号)に変換されて伝送される。また、伝送終了後には、再びシリアル→パラレル変換されてバラレルデータとして処理される。ところで、そのようなSDI信号に同期したデジタルオーディオクロックを生成する場合には、通常、そのSDI信号に同期したアナログビデオリファレンスを使用してPLL (Phase Locked Loop) 回路を組み実現されている。

【0003】

【発明が解決しようとする課題】しかし、その方法では、入力としてSDI信号とアナログ信号の2つの信号が必要であることになり、ケーブルが2本必要となることや、温度ドリフトなどにより2つの信号の位相の安定度が十分ではないという問題があり、改善が望まれている。また、入力SDI信号のみに対してPLLを組む例もあるが、それらはSDI信号のバラレルクロック(D1では27MHz、D2Nでは14.3MHz)に対してPLLを組まれており、それぞれ別々の専用分周回路を必要とするため、複数のSDI信号に対して処理を行う装置などに適用する場合には、装置規模が大きくなるという問題があった。

【0004】したがって、本発明の目的は、入力されるビデオ信号の形式に応じて、そのビデオ信号に正確に同期したデジタルオーディオクロックを、アナログリファレンスなどの別の信号入力を必要とせずに、また、簡単な回路構成で生成することができるようなクロック生成装置を提供することにある。

【0005】

【課題を解決するための手段】前記課題を解決するために、基準となるシリアルデジタルビデオ信号からのみ情報を取り出して、入力ビデオ信号に同期したデジタルオーディオクロックを生成するようにした。また、525/60方式と625/50方式で水平周波数が近いこと、および、デジタルオーディオクロックとの関係で所定の好都合な関係があることに着目し、それら複数の信号形式に対応するに際しても、ほとんどの構成部分を共

通にして回路を構成できるようにした。

【0006】したがって、本発明のクロック生成装置は、入力される映像信号に同期し所望の周波数を有するデジタルオーディオクロックを発生するクロック発生装置であって、前記映像信号の水平同期信号に基づいて、その水平周波数を所定の比率で分周して基準周波数の第1の信号を生成する第1の分周器と、その所望の周波数の信号を発生する発振回路と、前記発振回路により発生された信号を前記基準周波数と同じ周波数になるように所定の比率で分周し第2の信号を生成する第2の分周器と、その第1の信号と第2の信号との位相を比較してその誤差信号を生成し制御信号として発振回路に印加する位相比較手段とを有する。

【0007】このような構成によれば、入力映像信号から得られる水平同期信号に基づいて制御信号を生成しているので他のリファレンスを必要としない上に、入力される映像信号に応じて処理を変えるのは第2の分周器の比率だけであり、複数種類の映像信号に対して共通の単純な回路で所定のデジタルオーディオクロックを生成することができる。その映像信号に応じて処理を変える必要のある第2の分周器としては、たとえば、映像信号の種類に応じて設けられた複数の分周器と、入力された映像信号に応じてその複数の分周器の中の1を選択するようにした分周器選択手段とで構成するのが好適である。

【0008】前記装置の基本構成はPLL回路であって、すなわち、前記位相比較手段は、前記第1の信号と前記第2の信号との位相を比較してその誤差に応じた電圧を前記誤差信号として生成し、前記生成された誤差信号の所定周波数以上の高域成分を削除して前記発振回路に対する前記制御信号を生成するローパスフィルター手段をさらに有し、前記発振回路は、電圧制御発振器であって、前記制御信号の前記電圧の変化に基づいて発振周波数が調整され、前記所望の周波数の信号を発生する。

【0009】また、デジタルオーディオクロックを用いて処理を行う装置に実際に搭載する場合などには、前記発振回路ではその所望の周波数の所定数倍の周波数の信号を発生しておき、それを出力用分周手段などにより適宜分周して、出力用のクロックを生成するのが好適である。また、入力された映像信号より、水平同期信号を抽出する水平同期信号抽出手段をさらに有するのが好適である。

【0010】また、本発明のクロック発生装置は、特定的には、525/60方式の映像信号または625/50方式の映像信号が入力され、これに同期した48kHzオーディオクロックを生成するクロック発生装置であって、前記第1の分周器は、入力された映像信号の水平同期信号に対して、その水平周波数を1/375に分周して第1の信号を生成し、前記発振回路は、制御信号に基づいて48kHzの信号を発生し、前記第2の分周器は、前記発振回路により発生された信号を、入力された

映像信号が525/60方式の場合には1/1144に、入力された映像信号が625/50方式の場合には1/1152に、各々分周して第2の信号を生成し、前記位相比較手段は、前記第1の分周器で生成された第1の信号と、前記第2の分周器で生成された第2の信号との位相を比較してその誤差信号を生成し、前記制御信号として前記発振回路に印加する。

【0011】好適には、前記第2の分周器は、入力信号を1/1144に分周する第3の分周器と、入力信号を1/1152に分周する第4の分周器と、入力された映像信号が525/60方式の場合には前記第3の分周器を実質的に有効にし、入力された映像信号が625/50方式の場合には前記第4の分周器を実質的に有効にするように選択する分周器選択手段とを有する。

【0012】また好適には、前記第2の分周器は、入力信号を1/8に分周する第5の分周器と、前記第5の分周器で分周された信号をさらに1/143に分周する第6の分周器と、前記第5の分周器で分周された信号をさらに1/144に分周する第7の分周器と、入力された映像信号が525/60方式の場合には前記第6の分周器を実質的に有効にし、入力された映像信号が625/50方式の場合には前記第7の分周器を実質的に有効にするように選択する分周器選択手段とを有する。

【0013】さらに好適には、前記発振回路は、所望の48kHzのデジタルオーディオクロックの512倍の周波数の信号を発生し、その発生された信号を、複数の所定の比率で分周して、前記48kHzのデジタルオーディオクロックの2倍、4倍、8倍などの1倍～512倍の周波数であって2のべき乗倍の周波数の信号を複数生成し出力する出力用分周手段をさらに有する。

【0014】

【発明の実施の形態】本発明の一実施の形態を図1～図3を参照して説明する。本実施の形態においては、たとえば伝送され入力されるシリアルデジタルデータ(SDIデータ)を受信してパラレルビデオデータに変換し出力するビデオ信号処理装置に用いられ、このビデオデータに同期したデジタルオーディオクロックを生成するオーディオクロック生成装置について説明する。

【0015】なお、このビデオ信号処理装置には、次の①～③の3種類のSDIデータが適宜入力されるものとする。

- ① D1/525...4:2:2コンポーネント 525/60方式SDI
- ② D1/625...4:2:2コンポーネント 525/60方式SDI
- ③ D2N...4fscNTSCコンボジット方式SDI (525/60)

【0016】まず、そのビデオ信号処理装置の構成について図1を参照して説明する。図1は、ビデオ信号処理装置1の構成を示す図であり、ビデオ信号処理装置1

は、シリアル-パラレル変換部10、ビデオ同期信号生成部20、および、オーディオクロック生成部30を有する。シリアル-パラレル変換部10は、ビデオ信号処理装置1に入力されたシリアルデータ D_s を、別途入力される方式選択信号 S_s に基づいて1ワードが10ビットのパラレルデータ D_p に変換する。方式選択信号 S_s は、入力されるシリアルデータ D_s がD1規格に基づくデータかD2規格に基づくデータかを示す信号である。変換されたパラレルデータ D_p は、通常の映像信号として出力されるとともに、ビデオ同期信号生成部20に出力される。

【0017】変換されたパラレルデータ D_p の一例として、D1規格の映像信号をシリアル-パラレル変換部10においてパラレルデータ D_p に変換した場合の、そのデータ形式を図2に示す。図2において、EAV(End of Active Video)とSAV(Start of Active Video)は、1ラインごとの映像信号のフォーマットを検出するための同期信号である映像タイミング基準コードである。この映像タイミング基準コードは、各々表1のような内容の4ワードのデータである。

【0018】

【表1】

ワード No.	ビットNo.									
	9	8	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1	1	1	1
2	0	0	0	0	0	0	0	0	0	0
3	0	0	0	0	0	0	0	0	0	0
4	1	F	V	H	P3	P2	P1	P0	0	0

【0019】

ただし、F = 0 : 第1フィールド期間
 1 : 第2フィールド期間
 V = 0 : デジタルアクティブフィールド期間
 1 : デジタルフィールドブランキング期間
 H = 0 : SAV
 1 : EAV
 P3～P0 : パリティビット
 である。

【0020】ビデオ同期信号生成部20は、シリアル-パラレル変換部10で変換されたパラレルデータ D_p より、方式選択信号 S_s に基づいて映像タイミング基準コードを抽出し、それに基づいてパラレルデータ D_p の水平周波数を有する水平同期信号 f_H 、パラレルデータ D_p の垂直周波数を有する垂直同期信号 f_V を出力する。ビデオ同期信号生成部20は、入力される映像信号が前述した①および②のD1の信号である場合には、図2に

例示したEAVを検出することにより、また入力される映像信号が前述した③のD2の信号の場合はTRSを検出することにより、各々前記同期信号を検出する。

【0021】抽出した水平同期信号 f_H および垂直同期信号 f_V は、シリアル-パラレル変換部10からのビデオパラレルデータ D_p とともにビデオ信号処理装置1より出力する。また、水平同期信号 f_H は、オーディオクロック生成部30にも入力される。なお、水平同期信号 f_H は、ビデオ信号処理装置1に入力されるSDIデータが、前述した①および③の525/60方式のデータである場合には15.73426kHz、②の625/50方式のデータである場合には15.625kHzの信号となる。

【0022】オーディオクロック生成部30は、ビデオ同期信号生成部20より入力される映像信号の水平同期信号 f_H に基づいて、デジタルオーディオクロック f_s を生成する。オーディオクロック生成部30の構成について、図3を参照して詳細に説明する。図3は、オーディオクロック生成部30の構成を示す図であって、オーディオクロック生成部30は、第1の分周器31、位相

525/60方式の場合

$$\begin{aligned} \text{水平同期信号 } f_H / 375 &= 15.73426 \text{ kHz} / 375 \\ &= 41.958 \text{ Hz} \\ \text{オーディオクロック } f_s / 1144 &= 48 \text{ kHz} / 1144 \\ &= 41.958 \text{ Hz} \end{aligned}$$

したがって、

$$f_H / 375 = f_s / 1144 \quad \dots (1)$$

【0025】

【数2】

625/50方式の場合

$$\begin{aligned} \text{水平同期信号 } f_H / 375 &= 15.625 \text{ kHz} / 375 \\ &= 41.667 \text{ Hz} \\ \text{オーディオクロック } f_s / 1152 &= 48 \text{ kHz} / 1152 \\ &= 41.667 \text{ Hz} \end{aligned}$$

したがって、

$$f_H / 375 = f_s / 1152 \quad \dots (2)$$

【0026】式1および式2に示すように、水平同期信号 f_H を1/375に分周した周波数と、デジタルオーディオクロック f_s を1/1143または1/1144に分周した周波数とは等しくなるため、この周波数を制御対象の基準周波数としてPLLを動作させれば、正確な周波数の制御が可能となりデジタルオーディオクロック f_s が得られることになる。そして、525/60方式と625/50方式の場合を比較してみると、その制御対象の基準周波数は41.958Hzと41.667Hzと非常に近いので、PLL回路内のLPFやVCO回路は同じ回路定数のものを共通で使用できる。

【0027】また、その基準周波数を作成するための分周回路においても、入力される水平同期信号 f_H に対してはともに1/375にしているので、これも共通で使用できる。その結果、525/60方式と625/50

比較器32、ローパスフィルタ(LPF)33、電圧制御発振器(VCO)34、第2の分周器35、第3の分周器36、分周器切換器37、第4の分周器38、および、第5の分周器39を有する。

【0023】図示のごとく、オーディオクロック生成部30は、入力される水平同期信号 f_H を基準クロックとするPLL回路である。この回路により、ビデオ信号から抽出した複数種類の水平同期信号 f_H より48kHzのデジタルオーディオクロック f_s が生成できるのは、以下のような周波数の関係を利用したことによる。すなわち、入力される基準信号としては、前述した①および③の525/60方式のデータである場合には15.73426kHz、②の625/50方式のデータである場合には15.625kHzの信号であり、デジタルオーディオクロック f_s の必要原発振周波数は $512f_s = 24.576 \text{ MHz}$ であり、これらの間には次のような関係がある。

【0024】

【数1】

方式で変えなければならない回路は、生成されたデジタルオーディオクロック f_s を基準周波数と等しいはずの制御量としての周波数に分周する場合の分周回路のみとなる。

【0028】以下、オーディオクロック生成部30の各部の動作を具体的に説明する。第1の分周器31は、ビデオ同期信号生成部20より入力される水平同期信号 f_H を1/375に分周する。これにより、入力されるビデオ信号の方式(525/60方式および625/50方式)に応じて入力される15.73426kHzおよび15.625kHzの水平同期信号 f_H は、各々41.958Hzおよび41.667Hzの信号に変換される。位相比較器32は、後述する第4の分周器38または第5の分周器39より分周器切換器37bを介して入力される、オーディオクロック生成部30より出力す

るデジタルオーディオクロック f_s を分周して得られる信号と、第1の分周器31より出力される基準となる信号の位相を比較し、その位相差に対応する誤差電圧を出力する。

【0029】LPF33は、位相比較器32より入力された誤差電圧の高域成分を除去することによりVCO34の制御用の電圧を生成し、VCO34に出力する。VCO34は、48kHzのデジタルオーディオクロック f_s の51.2倍の周波数である24.576MHzの信号を発生する発振器であり、LPF33より入力される位相誤差に基づいた制御電圧に基づいて制御される。第2の分周器35は、VCO34より入力された24.576MHzの信号を、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ に分周し、ビデオ信号処理装置1内の各部で使用する $256f_s$ 、 $128f_s$ 、 $64f_s$ 、 f_s のクロ

$$1/1144 = 1/8 \times 1/143 \quad \dots (3a)$$

$$1/1152 = 1/8 \times 1/144 \quad \dots (3a)$$

【0032】分周器切換器37aおよび分周器切換器37bは、外部よりオーディオクロック生成部30に入力される水平周波数選択信号 S_f に基づいて、第4の分周器38または第5の分周器39のいずれかを選択するスイッチである。水平周波数選択信号 S_f が、入力される映像信号が525/60方式の信号である旨を示す信号である時には、分周器切換器37a、37bは各々端子aを選択するように切り換えられ、第4の分周器38が選択される。また、水平周波数選択信号 S_f が、入力される映像信号が625/50方式の信号である旨を示す信号である時には、分周器切換器37a、37bは各々端子bを選択するように切り換えられ、第5の分周器39が選択される。

【0033】第4の分周器38は、525/60方式の映像信号が入力されている時に選択され、第3の分周器36より入力されるデジタルオーディオクロック f_s を $1/8$ に分周した信号を、さらに $1/143$ に分周し、結果としてデジタルオーディオクロック f_s を $1/1144$ に分周した信号を生成し、分周器切換器37bを介して位相比較器32に出力する。第5の分周器39は、625/50方式の映像信号が入力されている時に選択され、第3の分周器36より入力されるデジタルオーディオクロック f_s を $1/8$ に分周した信号を、さらに $1/144$ に分周し、結果としてデジタルオーディオクロック f_s を $1/1152$ に分周した信号を生成し、分周器切換器37bを介して位相比較器32に出力する。

【0034】そして、位相比較器32においては、この第4の分周器38または第5の分周器39より入力された信号に基づいて、前述したように第1の分周器31からの基準の信号との位相差を求め、それに応じた誤差電圧を生成してLPF33に出力する。

【0035】このようなオーディオクロック生成部30

ックを生成し、その各部に出力する。また、生成されたデジタルオーディオクロック f_s の信号は、フィードバックをするために第3の分周器36に出力される。

【0030】前述したように、生成したデジタルオーディオクロック f_s は、525/60方式または625/50方式に応じて $1/1144$ または $1/1152$ に分周されて、基準の信号と比較される。この $1/1144$ または $1/1152$ は、各々式3a、3bのように表せることから、オーディオクロック生成部30においては、 $1/8$ に分周する段階と、さらに $1/143$ または $1/144$ にする段階との2段階に分けて分周する。したがって、第3の分周器36は、第2の分周器35より入力されるデジタルオーディオクロック f_s を $1/8$ に分周し、分周器切換器37aに出力する。

【0031】

【数3】

を有するビデオ信号処理装置1について、その動作をまとめて説明する。まず、ビデオ信号処理装置1には、前述した①～③に示すような形式のSDIデータのいずれかであるシリアルビデオデータ D_s と、その形式に応じて決定される方式選択信号 S_s および水平周波数選択信号 S_f が入力される。方式選択信号 S_s は、入力データが①または②のD1のデータであるか、③のD2のデータであるかを示す信号であり、水平周波数選択信号 S_f は①または③の525/60方式のデータであるか、②の625/50方式のデータであるかを示す信号である。

【0036】入力されたシリアルデータ D_s は、シリアル-パラレル変換部10でパラレルデータ D_p に変換され、さらにそのパラレルデータ D_p に基づいて、ビデオ同期信号生成部20において水平同期信号 f_H および垂直同期信号 f_V が検出される。そして、この水平同期信号 f_H がオーディオクロック生成部30に入力されデジタルオーディオクロック f_s を正確に得るための基準の信号とされる。

【0037】オーディオクロック生成部30においては、前述したようにビデオ同期信号生成部20で得られた水平同期信号 f_H が入力され、第1の分周器31で $1/375$ に分周されて、525/60方式ならば41.958Hz、625/50方式ならば41.667Hzの信号に変換される。この信号が、結局、48kHzのデジタルオーディオクロック f_s を $1/1144$ または $1/1152$ に分周した周波数と同じなので、そのように生成された信号と位相比較器32で比較され、位相誤差が検出される。そして、その位相誤差をLPF33を介してVCO34に入力することにより、VCO34がデジタルオーディオクロック f_s の51.2倍である24.576MHzの信号を正確に出力するように制御さ

れる。

【0038】前述したように、VCO34で生成された信号を第2の分周器35で $1/512$ に分周して得られたデジタルオーディオクロック f_s が、第3の分周器36で $1/8$ に分周され、さらに525/60方式ならば第4の分周器38により $1/143$ に、625/50方式ならば第5の分周器39により $1/144$ に分周され、位相比較器32において第1の分周器31からの信号と比較するための、525/60方式ならば41.958Hz、625/50方式ならば41.667Hzの信号が生成される。

【0039】なお、VCO34で生成された信号は、第2の分周器35で所望の周波数の信号に分周され、デジタルオーディオクロック f_s に関わる信号として、シリアル-パラレル変換部10で得られたパラレルビデオデータD_p、および、ビデオ同期信号生成部20で得られた水平同期信号 f_H および垂直同期信号 f_V とともに、ビデオ信号処理装置1内の各部に出力される。

【0040】このように、本実施の形態のビデオ信号処理装置1においては、入力されるビデオ信号の形式に応じて、具体的には前述した①～③の信号のいずれが入力されたとしてもそれに応じて、そのビデオ信号に同期したデジタルオーディオクロックを生成し出力することができる。そして、その際に、アナログリファレンスなどの信号を必要としないため、入力情報としてはそのビデオ信号のみでよく、入力部などの構成が簡単になる。また、そのオーディオクロック生成部の構成としては、分周器を1つ切り換えるのみで前述した3種類のビデオ信号の形式に対応することができ、ほとんどの構成部を共通に使用することができる。そのため、そのような3種類のビデオ信号に対応できるにも関わらず、回路構成は非常に簡単な構成となっている。

【0041】なお、本発明は本実施の形態に限られるものではなく、任意好適に改変が可能である。たとえば、入力されるビデオデータの形式は、前述した①～③の3種類にのみ限定されるものではなく、同様な関係を有する他の形式に対しても適用可能である。また、ビデオ同期信号生成部における水平同期信号 f_H や垂直同期信号 f_V の抽出方法は、本実施の形態に限られるものではなく、そのデータ形式などに応じて任意の方法で抽出してよい。

【0042】また、オーディオクロック生成部30で生成するデジタルオーディオクロックの種類は、本実施の

形態は48kHzの基準のデジタルオーディオクロック f_s と、 $64f_s$ 、 $128f_s$ 、 $256f_s$ の各信号としたが、これらはビデオ信号処理装置内の他の処理部の要求に応じて任意好適な信号としてよい。また、その生成するデジタルオーディオクロックに応じて、VCOで最初に生成する信号の周波数も、本実施の形態のような $512f_s$ ではなく、たとえば $256f_s$ や $128f_s$ 、あるいは $1024f_s$ などでもよい。その他、オーディオクロック生成部内の位相比較器、LPF、VCO、および、各分周器の具体的構成は、任意の回路により実施してよい。

【0043】

【発明の効果】以上説明したように、本発明のクロック生成装置によれば、入力されるビデオ信号の形式に応じ、換言すれば所定の複数の形式のビデオ信号のいずれが入力されたとしてもそれに応じて、そのビデオ信号に正確に同期したデジタルオーディオクロックを生成し出力することができる。また、その入力されるビデオ信号のみからデジタルオーディオクロックを生成するため、アナログリファレンスなどの別の信号入力を必要とせず、入力部の構成を簡単にすることができる。さらに、分周器を1つ切り換えるのみで複数種類のビデオ信号の形式に対応することができるため、ほとんどの構成部を共通に使用することができ、その結果、そのような複数種類のビデオ信号に対応できるにも関わらず、回路構成を非常に簡単にすることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態のビデオ信号処理装置の構成を示すブロック図である。

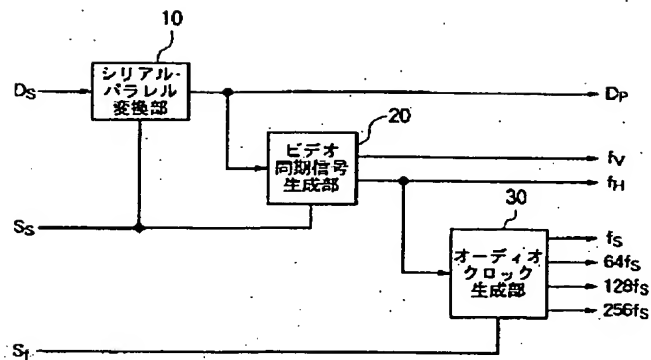
【図2】図1に示したビデオ信号処理装置で用いるデータの一例であって、D1規格のパラレルビデオデータを示す図である。

【図3】図1に示したビデオ信号処理装置のオーディオクロック生成部の構成を示すブロック図である。

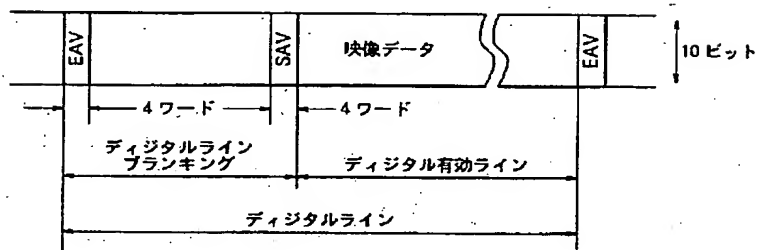
【符号の説明】

1…ビデオ信号処理装置、10…シリアル-パラレル変換部、20…ビデオ同期信号生成部、30…オーディオクロック生成部、31…第1の分周器、32…位相比較器、33…ローパスフィルタ(LPF)、34…電圧制御発振器(VCO)、35…第2の分周器、36…第3の分周器、37…分周器切換器、38…第4の分周器、39…第5の分周器

【図1】



【図2】



【図3】

